







SEMICONDUCTOR INTEGRATED CIRCUIT

Patent number: WO02065690
Publication date: 2002-08-22
Inventor: OKAMURA JUNICHI (JP)
Applicant: THINE ELECTRONICS INC (JP); OKAMURA JUNICHI (JP)

Also published as:

 US6864734 (B2)
 US2004051571 (A1)

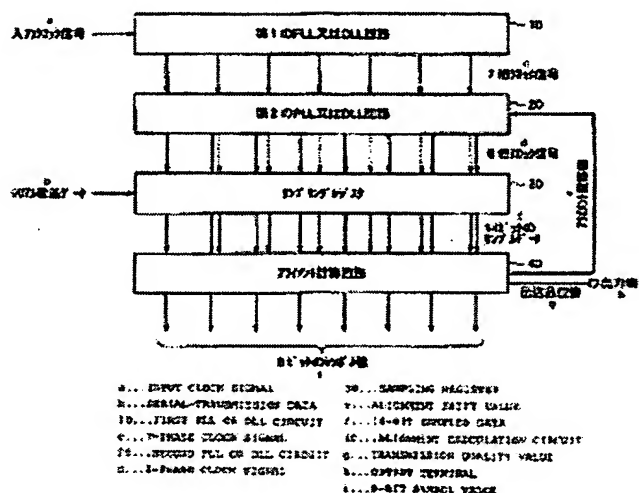
Cited documents:

 JP2000031951
 JP11088447
 JP11098130
 JP8056240

Report a data error here

Abstract of WO02065690

A semiconductor integrated circuit for realizing a receiving circuit for stably determining the value of a symbol even if the phase of received serial-transmission data shifts from that of a sampling clock signal or even if the waveform of received serial-transmission data degrades because of uneven delay of a signal on a transmission line when serial-transmission data is received. The semiconductor integrated circuit comprises a first clock signal generator circuit for generating clock signals of N phases synchronized with an input clock signal, a second clock signal generator circuit for generating clock signals of M phases (M <> N) synchronized with a selected one of the clock signals of N phases generated by the first clock signal generator circuit, and a calculation circuit for calculating the control value used for selecting one of the clock signals of N phases on the basis of the logic value of the serial-transmission data sampled by using the clock signals of N phases and those of M phases.



Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002年8月22日 (22.08.2002)

PCT

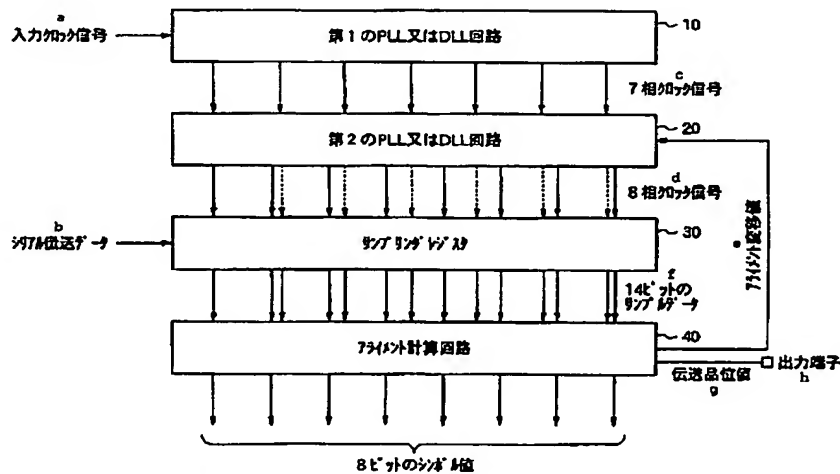
(10) 国際公開番号
WO 02/065690 A1

- (51) 国際特許分類: H04L 7/04, 7/02, 25/08 (72) 発明者; および
(21) 国際出願番号: PCT/JP01/11358 (75) 発明者/出願人 (米国についてのみ): 岡村 淳一 (OKA-MURA, Junichi) [JP/JP]; 〒104-0032 東京都中央区八丁堀1-10-7 マツダ八重洲通ビル6階 ザインエレクトロニクス株式会社内 Tokyo (JP).
(22) 国際出願日: 2001年12月25日 (25.12.2001)
(25) 国際出願の言語: 日本語 (74) 代理人: 大島 由美子 (OSHIMA, Yumiko); 〒169-0075 東京都新宿区高田馬場1-20-10-203 進歩国際特許事務所 Tokyo (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2001-36657 2001年2月14日 (14.02.2001) JP (81) 指定国 (国内): CA, CN, IL, IN, JP, KR, RU, SG, US.
(71) 出願人 (米国を除く全ての指定国について): ザインエレクトロニクス株式会社 (THINE ELECTRONICS, INC.) [JP/JP]; 〒104-0032 東京都中央区八丁堀1-10-7 マツダ八重洲通ビル6階 Tokyo (JP). (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 半導体集積回路



- a...INPUT CLOCK SIGNAL
b...SERIAL-TRANSMISSION DATA
c...7-PHASE CLOCK SIGNAL
d...8-PHASE CLOCK SIGNAL
e...14-BIT SAMPLED DATA
f...8-BIT SYMBOL VALUE
g...TRANSMISSION QUALITY VALUE
h...OUTPUT TERMINAL
i...7-BIT EXTERNAL REFERENCE VALUE

(57) Abstract: A semiconductor integrated circuit for realizing a receiving circuit for stably determining the value of a symbol even if the phase of received serial-transmission data shifts from that of a sampling clock signal or even if the waveform of received serial-transmission data degrades because of uneven delay of a signal on a transmission

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

line when serial-transmission data is received. The semiconductor integrated circuit comprises a first clock signal generator circuit for generating clock signals of N phases synchronized with an input clock signal, a second clock signal generator circuit for generating clock signals of M phases ($M \neq N$) synchronized with a selected one of the clock signals of N phases generated by the first clock signal generator circuit, and a calculation circuit for calculating the control value used for selecting one of the clock signals of N phases on the basis of the logic value of the serial-transmission data sampled by using the clock signals of N phases and those of M phases.

(57) 要約:

シリアル伝送データの受信に際し、伝送路における信号の遅延の偏りによってシリアル伝送データの位相がサンプリングクロック信号に対してずれたりシリアル伝送データの波形が劣化した場合においてもシンボル値を安定して検出できる受信回路を実現する半導体集積回路。この半導体集積回路は、入力クロック信号に同期したN相のクロック信号を発生する第1のクロック信号発生回路と、第1のクロック信号発生回路によって発生されたN相のクロック信号の内の選択された1つに同期したM相のクロック信号を発生する第2のクロック信号発生回路であって、ここで $N \neq M$ である、第2のクロック信号発生回路と、N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号の内の1つを選択するために用いる制御値を求める計算回路とを具備する。

明 細 書

半導体集積回路

5 技術分野

本発明は、一般的に半導体集積回路に関し、特に、シリアル伝送データを受信する受信回路を実現するための半導体集積回路に関する。

背景技術

- 10 従来、デジタル信号（データ）の高速シリアル伝送において、シリアル伝送データを受信する際には、シリアル伝送データのビットレートと等しい周波数を有しシリアル伝送データに同期したサンプリングクロック信号を用いてシリアル伝送データをサンプリングする方式が一般的に用いられていた。
- 15 しかしながら、このように単純なサンプリング方式によれば、サンプリングクロック信号を用いてシリアル伝送データのサンプリングを行う際に、伝送路における信号の遅延の偏りによって、シリアル伝送データの位相がサンプリングクロック信号の位相に対してずれたり（スキュー）、シリアル伝送データ自体の波形が劣化することにより、シンボル値
- 20 を完全に検出できないことがある。

そこで、高速シリアル伝送されるデジタル信号を受信する受信回路の設計においては、そのように劣化したシリアル伝送データを受信した場合でも、シンボル値を安定して検出できる回路技術が重要となっている。

- 25 近年において、伝送路において波形が劣化したシリアル伝送データを受信する場合においてもシンボル値を安定して検出するために有効なサ

ンプリング方式として、シリアル伝送データのビット数よりも多いサンプリング点においてシンボル値を検出するオーバーサンプリング方式が用いられている。

例えば、U. S. P. 5, 802, 103号は、高速シリアル伝送に
5 おいて、オーバーサンプリング方式を用いて受信データを検出する全二重 (fully duplexed) 伝送システムの一例を開示している。この文献に開示されているように、3倍オーバーサンプリング方式を用いると、シリアル伝送データの位相がサンプリングクロック信号の位相に対してずれたとしても、シンボルピリオド (クロック周波数に1
10 つのデータブロックのビット数をかけた数の逆数) に対して最大±30%の位相のずれを許容できるようになる。

図1は、オーバーサンプリング方式を用いた従来の受信回路の一例を示すブロック図である。この例においては、1つのデータブロックのビット数が8ビットであり、シリアル伝送データのビットレートに対して
15 3倍のオーバーサンプリングを行っている。

図1に示すように、この受信回路は、入力クロック信号から、シリアル伝送データのビットレートの3倍のサンプリングレートを与える多相クロック信号を発生するPLL又はDLL回路210と、この多相クロック信号を用いてシリアル伝送データをオーバーサンプリングするサン
20 プリングレジスタ220と、オーバーサンプリングの結果に基づいて、1つのデータブロックに含まれる8ビットのシンボル値を決定する論理値決定回路230とを含んでいる。

サンプリングレジスタ220に入力された1ブロック (8ビット) のシリアル伝送データは、シンボルビット数の3倍の24個のサンプリ
25 グ点においてオーバーサンプリングされて、24ビットの平行データとして出力される。

論理値決定回路 230 は、これらのパラレルデータを用いて確率計算を行うことにより、シリアル伝送データの遷移点を求める。さらに、論理値決定回路 230 は、これらの遷移点に基づいて、オーバーサンプリングによって得られた 24 ビットのパラレルデータの内から適切な 8 ビットのパラレルデータを選択する再サンプリングを行うことにより、最終的に 8 ビットのシンボル値を決定する。

図 2 は、図 1 に示す受信回路の動作を論理値で説明するための図である。受信回路に入力されたシリアル伝送データの 1 データブロックは、そのビットレートの 3 倍の周波数を有する多相クロック信号でオーバーサンプリングされた結果、シリアル伝送データの論理値を反映した 24 ビットのパラレルデータとして出力される。

これらのパラレルデータを用いて確率計算を行うことにより、遷移点 201 ~ 205 が決定される。例えば、サンプリングされたパラレルデータにおいて、同じ論理値が 2 回連続すれば、遷移点が存在すると決定される。このようにして決定された遷移点に基づいて、24 ビットのパラレルデータの内から 8 ビットのシンボル値が決定される。

しかしながら、オーバーサンプリング方式によれば、サンプリングクロック数及びサンプリング回路数が増加するので、半導体集積回路において必要となる基板面積や消費電流が増大してしまう。そのため、3 ~ 4 倍以上のオーバーサンプリング方式を用いる半導体集積回路の設計においては、より微細な半導体テクノロジーを用いることによりこの問題に対処しているが、製造コストが増大してしまうという問題があった。

発明の開示

そこで、上記の点に鑑み、本発明の目的は、シリアル伝送データの受信に際し、伝送路における信号の遅延の偏りによってシリアル伝送デー

タの位相がサンプリングクロック信号に対してずれたりシリアル伝送データの波形が劣化した場合においてもシンボル値を安定して検出できると共に、サンプリングクロック数やサンプリング回路数の増加を抑えた受信回路を実現する半導体集積回路を提供することである。

- 5 以上の課題を解決するため、本発明の第1の観点に係る半導体集積回路は、入力クロック信号に同期したN相のクロック信号を発生する第1のクロック信号発生回路と、第1のクロック信号発生回路によって発生されたN相のクロック信号の内の選択された1つに同期したM相のクロック信号を発生する第2のクロック信号発生回路であって、ここでN≠
- 10 Mである、第2のクロック信号発生回路と、N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号の内の1つを選択するために用いる制御値を求める計算回路とを具備する。

- また、本発明の第2の観点に係る半導体集積回路は、入力クロック信号に同期したN相のクロック信号を発生する第1のクロック信号発生回路と、入力クロック信号に同期したM相のクロック信号を発生する第2のクロック信号発生回路と、N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号とM相のクロック信号との位相関係を変化させる
- 20 ために用いる制御値を求める計算回路とを具備する。

- 本発明は、入力クロック信号に同期し、且つ、周波数の異なる2種類の多相クロック信号を用いることを特徴とする。第1群の多相クロック信号は、シリアル伝送データの位相アライメントを測定するために用いられ、第2群の多相クロック信号は、シリアル伝送データの位相アライメントを測定するためと、シリアル伝送データのシンボル値を求めるために用いられる。位相アライメントの測定結果を用いて第2群の多相ク
- 25

ロック信号の位相を調整することにより、伝送データに対して常に最適なサンプリングクロック信号の位相を確保することができる。

- その結果、シリアル伝送データの受信に際し、伝送路における信号の遅延の偏りによってシリアル伝送データの位相がサンプリングクロック
- 5 信号に対してずれたりシリアル伝送データの波形が劣化した場合においても、シンボル値を安定して検出できると共に、サンプリングクロック数やサンプリング回路数の増加を抑えることができる。

図面の簡単な説明

- 10 本発明の利点及び特徴は、以下の詳細な説明と図面とを関連させて考察すれば明らかになる。これらの図面において、同じ参照番号は同じ構成要素を指している。

図 1 は、オーバーサンプリング方式を用いた従来の受信回路の一例を示すブロック図である。

- 15 図 2 は、図 1 に示す受信回路の動作を論理値で説明するための図である。

図 3 は、本発明の第 1 の実施形態に係る半導体集積回路によって実現される受信回路の構成を示すブロック図である。

- 図 4 は、図 3 に示す受信回路の動作を論理値で説明するための図である。
- 20

図 5 は、図 3 に示す受信回路において、入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対してずれている場合の動作を論理値レベルで説明するための図である。

- 図 6 は、図 5 に示す位相ずれを調整した後の動作を論理値レベルで説明するための図である。
- 25

図 7 A は、本発明において用いられるサンプリング方式において最低

限必要なサンプル数とシリアル伝送データの位相調整範囲とを示す図であり、図 7 B は、従来例において用いられるオーバーサンプリング方式において最低限必要なサンプル数とシリアル伝送データの位相調整範囲とを示す図である。

- 5 図 8 は、図 3 に示す受信回路において、入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対して非平衡にずれている場合の動作を論理値レベルで説明するための図である。

図 9 は、図 8 に示す非平衡な位相ずれを調整した後の動作を論理値レベルで説明するための図である。

- 10 図 10 は、本発明の第 3 の実施形態に係る半導体集積回路によって実現される受信回路の構成を示すブロック図である。

発明を実施するための最良の形態

- 図 3 は、本発明の第 1 の実施形態に係る半導体集積回路によって実現
15 される受信回路の構成を示すブロック図である。本実施形態においては、1つのデータブロックのビット数が 8 ビットであり、シリアル伝送データのビットレートに対して 3 倍のオーバーサンプリングを行った場合と同等以上の位相調整能力を実現している。

- この受信回路は、入力クロック信号から等間隔の N 相のクロック信号
20 を発生する第 1 の PLL 又は DLL 回路 10 と、これら N 相のクロック信号が有する N 種類の位相の内の 1 種類の位相に同期した等間隔の M 相のクロック信号を発生する第 2 の PLL 又は DLL 回路 20 とを含んでいる。N 相のクロック信号は、シリアル伝送データの位相アライメントを測定するために用いられ、M 相のクロック信号は、シリアル伝送データの位相アライメントを測定するためと、シリアル伝送データのシンボル値を求めるために用いられる。本実施形態においては、N 相のクロッ
25

ク信号として7相クロック信号を用い、M相のクロック信号として、8相クロック信号を用いている。

また、この受信回路は、7相クロック信号と8相クロック信号とにおいて重複しない14 ($=N+M-1$) 個のサンプリング点においてシリアル伝送データをサンプリングするサンプリングレジスタ30を含んで
5 いる。サンプリングレジスタ30に入力されたシリアル伝送データは、シンボルビット数の1.75倍のビットレートでパラレル化され、14ビットのサンプルデータとして出力される。

さらに、この受信回路は、入力された14ビットのサンプルデータを
10 用いて確率計算を行うことにより、最終的に8ビットのシンボル値と、アライメント変位値と、伝送品位値とを決定するアライメント計算回路40を含んでいる。アライメント計算回路40から出力されるアライメント変位値は、第2のPLL又はDLL回路20に供給される。

図4は、図3に示す受信回路の動作を論理値で説明するための図である。
15 入力されたシリアル伝送データは、1データブロック(8ビット)の期間を7等分する第1群のサンプリング点11~17と、1データブロックの期間を8等分する第2群のサンプリング点21~28とにおいてサンプリングされた結果、14ビットのサンプルデータ31、32a、32b、33a、33b、34a、34b、35、36a、36b、
20 37a、37b、38a、38bとして出力される。

図3に示すアライメント計算回路40は、これら14ビットのサンプルデータを用いて、シリアル伝送データの適切な位相アライメント位置からの変位値を計算する。

以下に、シリアル伝送データの適切な位相アライメント位置からの変
25 位値を計算する方法の一例について説明する。

まず、アライメント計算回路の内部レジスタ41~47における値が

「0」にリセットされる。次に、アライメント計算回路は、サンプルデータ 3 2 a の論理値がサンプルデータ 3 2 b の論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ 4 2 に格納する。同様に、アライメント計算回路は、サンプルデータ 3 3 a の論理値がサンプルデータ 3 3 b の論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ 4 3 に格納する。同様に、アライメント計算回路は、サンプルデータ 3 4 a の論理値がサンプルデータ 3 4 b の論理値と等しいか否かを判定し、これらが等しければ「-1」を内部レジスタ 4 4 に格納する。

10 一方、アライメント計算回路は、サンプルデータ 3 6 a の論理値がサンプルデータ 3 6 b の論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ 4 5 に格納する。同様に、アライメント計算回路は、サンプルデータ 3 7 a の論理値がサンプルデータ 3 7 b の論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ 4 6 に格納する。同様に、アライメント計算回路は、サンプルデータ 3 8 a の論理値がサンプルデータ 3 8 b の論理値と等しいか否かを判定し、これらが等しければ「+1」を内部レジスタ 4 7 に格納する。

内部レジスタ 4 1 ~ 4 7 にそれぞれ格納されている値の総和を求めることにより、シリアル伝送データの適切な位相アライメント位置からの変位量を表すアライメント変位値を計算することができる。シリアル伝送データが適切な位相アライメント位置に存在する場合には、アライメント変位値が「0」となる。また、内部レジスタ 4 1 ~ 4 7 にそれぞれ格納されている値の絶対値の総和を求めることにより、伝送路の品位を表す品位値を計算することができる。伝送路の品位が良好である場合には、伝送品位値が「6」となる。

同時に、1 データブロックの期間を 8 等分する第 2 群のサンプリング

点 2 1 ~ 2 8 においてシリアル伝送データをサンプリングすることにより得られたシンボル値が、検出信号として出力される。

次に、シリアル伝送データの適切な位相アライメント位置からの変位値を計算する方法の他の例について説明する。

- 5 先の例においては内部レジスタ 4 1 ~ 4 7 に「0」、「-1」、又は、「+1」を格納したが、本例においては内部レジスタ 4 1 ~ 4 7 に「0」又は「1」を格納する。即ち、アライメント計算回路は、比較すべき 2 つのサンプルデータの論理値が等しければ、「1」をそれぞれの内部レジスタに格納する。その後、アライメント計算回路は、内部レジスタ
- 10 タ 4 1 ~ 4 4 にそれぞれ格納されている値の和 SUM 1 と内部レジスタ 4 5 ~ 4 7 にそれぞれ格納されている値の和 SUM 2 とを求め、これらの差 (SUM 2 - SUM 1) を求めることにより、シリアル伝送データの適切な位相アライメント位置からの変位量を表すアライメント変位値を計算することができる。
- 15 図 5 は、本実施形態に係る受信回路において、入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対してずれている場合の動作を論理値レベルで説明するための図である。このような状況は、伝送路における信号遅延時間がシリアル伝送データとクロック信号との間で異なることにより生じる劣化の一例である。
- 20 入力されたシリアル伝送データは、1 つのサンプリング点を共有する第 1 群のサンプリング点 1 1 ~ 1 7 と第 2 群のサンプリング点 2 1 ~ 2 8 とにおいてサンプリングされた結果、1 4 ビットのサンプルデータ 5 1、5 2 a、5 2 b、5 3 a、5 3 b、5 4 a、5 4 b、5 5、5 6 a、5 6 b、5 7 a、5 7 b、5 8 a、5 8 b として出力される。
- 25 シリアル伝送データのサンプリングクロック信号に対する位相アライメントがずれている為に、アライメント計算回路において内部レジスタ

41～47にそれぞれ格納されている値の総和、即ち、アライメント変位値を求めると、アライメント変位値が「0」とならず「+2」となる。このアライメント変位値に基づいて、サンプリングクロック信号を発生する第2のPLL又はDLL回路20（図3）において、入力される7相クロック信号の内から基準位相として選択されるクロック信号を変更することにより、位相アライメントの調整が行われる。また、アライメント計算回路において、内部レジスタ41～47にそれぞれ格納されている値の絶対値の総和、即ち、伝送品位値を求めると、伝送品位値が「6」とならず「4」となる。これは、伝送路等の影響により受信データの品位が低下していることを表している。

図6は、図5に示す位相ずれを調整した後の動作を論理値レベルで説明するための図である。図5において、計算されたアライメント変位値が「+2」であったので、第2のPLL又はDLL回路20（図3）において選択されるクロック信号を「-2」だけずらして、サンプリング点11を与えるクロック信号からサンプリング点16を与えるクロック信号に変更すると共に、内部レジスタ41～47をリセットする。あるいは、計算されたアライメント変位値を所定の時間に渡って積分して平均化した後に、選択されるクロック信号を変更するようにしても良い。

入力されたシリアル伝送データは、新たに配列されたサンプリング点においてサンプリングされた結果、14ビットのサンプルデータ63a、63b、64a、64b、65、66a、66b、67a、67b、68a、68b、61、62a、62bとして出力される。その後、内部レジスタ41～47にそれぞれ格納された値を用いてアライメント変位値を再度計算する。基準となるサンプリング点が「-2」だけずれたことにより、アライメント変位値は再び「0」となる。また、伝送品位値が「6」に戻る。

以上のように、アライメント計算回路の計算結果を用いてシリアル伝送データとサンプリングクロック信号との位相関係を常に調整することにより、少ないデータサンプリング数によって、伝送路における信号波形の劣化（スキュー等）に対してシンボル値を安定に検出することが可能となる。

図7Aは、本発明において用いられるN相クロック信号及びM相クロック信号を用いたサンプリング方式において、最低限必要なサンプル数とシリアル伝送データの位相調整範囲とを示している。一方、図7Bは、従来例において用いられるX倍のオーバーサンプリング方式において、最低限必要なサンプル数とシリアル伝送データの位相調整範囲とを示している。両者を比較すると、 $N \leq M$ の場合に、 $(M/N - 1)$ が $1/3$ よりも小さければ、本発明において用いられる方式の方が、従来例において用いられる3倍オーバーサンプリング方式よりも細かい位相調整が可能であることが分る。なお、 $N > M$ としても良く、その場合には、 $(N/M - 1)$ が $1/3$ よりも小さければ、本発明において用いられる方式の方が、従来例において用いられる3倍オーバーサンプリング方式よりも細かい位相調整が可能となる。

図8は、図3に示す受信回路において、入力されるシリアル伝送データの位相がサンプリングクロック信号の位相に対して非平衡にずれている場合の動作を論理値レベルで説明するための図である。このような状況は、平衡伝送路において信号遅延時間がシリアル伝送データとクロック信号との間で異なることに加えて、平衡伝送路に含まれる2つの伝送路間においても信号遅延時間に違いが生じることにより生じる劣化の一例である。

入力されたシリアル伝送データは、1データブロックの期間を7等分する第1群のサンプリング点11～17と、その内の1つのサンプリン

グ点（図8においてはサンプリング点11）に同期して1データブロックの期間を8等分する第2群のサンプリング点21～28とにおいてサンプリングされた結果、14ビットのサンプルデータ71、72a、72b、73a、73b、74a、74b、75、76a、76b、77a、77b、78a、78bとして出力される。

図8においては、入力されたシリアル伝送データの立下りエッジがサンプリングクロック信号の位相に対してずれている為に、アライメント計算回路40（図3）において、入力された14ビットのサンプルデータに基づいてアライメント変位値を計算した結果、アライメント変位値が「0」にならず「+1」になる。このアライメント変位値に基づいて、サンプリングクロック信号を発生する第2のPLL又はDLL回路20におけるクロック信号の選択を変更することにより、位相アライメントの調整が行われる。

図9は、図8に示す非平衡な位相ずれを調整した後の動作を論理値レベルで説明するための図である。計算されたアライメント変位値が「+1」であったので、サンプリング点11～17を与える7相クロック信号の中で選択されるクロック信号を「-1」だけずらして、サンプリング点11を与えるクロック信号からサンプリング点17を与えるクロック信号に変更する。あるいは、計算されたアライメント変位値を所定の時間に渡って積分して平均化した後に、選択されるクロック信号を変更するようにしても良い。

入力されたシリアル伝送データは、新たに配列されたサンプリング点においてサンプリングされた結果、14ビットのサンプルデータ82a、82b、83a、83b、84a、84b、85、86a、86b、87a、87b、88a、88b、81として出力される。これらのサンプルデータを用いてアライメント変位値を計算すると、サンプリング

クロック信号の位相が「-1」だけずれたことで、アライメント変位値は再び「0」となる。

図9において、アライメント変位値は「0」となったものの、内部レジスタ41～47に保持されている値の絶対値の総和である伝送品位値が、図4及び図6における「6」と異なり、「4」であることに注意してほしい。平衡伝送路においてシリアル伝送データが単にサンプリングクロック信号に対して遅延している図5に示す場合と異なり、平衡伝送路に含まれる2つの伝送路間においても遅延時間に違いが生じているような劣悪な波形を有するシリアル伝送データを受信している場合には、

10 位相アライメントが合った状態においても伝送品位値が小さくなる。

このように、本実施形態によれば、アライメント計算回路の内部レジスタに格納されている値の総和を求めることにより、位相アライメントの修正方向を知ることができるのに加えて、アライメント計算回路の内部レジスタに格納されている値の絶対値の総和を求めることにより、伝送路の品位を把握することが可能となる。

15

一般のシリアル伝送路においては、その伝送路の品位がダイナミックに変動することが容易に起こり得る。この場合に、簡易な方法で伝送路の品位（劣化程度）を測定することができれば、伝送路の品位に対応した送信方法を選択することが可能になる。例えば、劣化の激しい伝送路においては、ビットレートを下げてシリアル伝送データを送信するように送信回路を制御することにより、シリアル伝送データを安定に送信することが可能になる。同様に、伝送路の品位に対応した受信方法を選択することも可能である。例えば、劣化の激しい伝送路においては、受信回路において増幅器の初段のゲインを増加させたり波形等化を行うこと

20

25 により、シリアル伝送データを安定に受信することが可能になる。

本実施形態によれば、従来のオーバーサンプリング方式と同等以上の

位相調整能力を有する受信回路を、オーバーサンプリング方式に必要なクロック信号数よりも大幅に少ないクロック信号を用いて実現することが可能となる。これにより、オーバーサンプリング方式と同等以上の性能を、より少ない消費電力で実現することができる。

- 5 さらに、従来のオーバーサンプリング方式においてはシリアル伝送データの品位をダイナミックに測定することは困難であったが、本実施形態によれば、これが容易に可能となる。これにより、伝送路の品位にダイナミックに適応することができる。

- 本実施形態においては、入力クロック信号に同期するN相のクロック
10 信号を発生するためにPLL又はDLL回路を用いると共に、N相の多相クロック信号の内の選択された1つのクロック信号に同期するM相のクロック信号を発生するためにPLL又はDLL回路を用いた例を説明したが、等間隔の多相クロック信号を発生することができる他の回路を用いても、本発明は実現可能且つ有効である。また、多相クロック信号
15 の数については、 $N \neq M$ であれば、如何なるNとMの値を用いても、本発明は実現可能且つ有効である。

- 次に、本発明の第2の実施形態に係る半導体集積回路について説明する。本実施形態は、本発明をRGBデジタル画像信号用の3チャンネルの受信回路に適用したものである。本実施形態においては、1データ
20 ブロックのビット数を10ビットとし、4倍のオーバーサンプリングと同等以上の位相調整能力を付与している。

図10は、本発明の第3の実施形態に係る半導体集積回路によって実現される受信回路の構成を示すブロック図である。

- この受信回路は、共通回路ブロック100C、Rチャンネル回路ブロック100R、Gチャンネル回路ブロック100G、及び、Bチャンネル回路ブロック100Bを含んでいる。
25

入力された平衡クロック信号と 3 チャンネルの平衡シリアル伝送データは、差動増幅器 90～93 によってそれぞれ増幅される。差動増幅器 90～93 の各々は、制御回路 50 から供給される制御信号に従って、初段のゲインを調整する機能を有する。増幅された平衡クロック信号は

5 、第 1 の DLL 回路 110 において、入力された平衡クロック信号と同期した等間隔の 9 相のアライメント測定用クロック信号に変換される。

位相アライメント回路 60 によって制御されるクロック信号選択回路 70 において、第 1 の DLL 回路 110 から出力される 9 相クロック信号の内の 1 つのクロック信号が選択される。第 2 の DLL 回路 120 は

10 、選択されたクロック信号に基づいて、入力された平衡クロック信号に同期した 10 相のシンボルサンプリング用クロック信号を出力する。

ローカルパッファ 80 において波形整形された 9 相クロック信号と、第 2 の DLL 回路 120 から出力された 10 相クロック信号は、サンプリング回路 130 に入力される。サンプリング回路 130 は、これらの

15 クロック信号に基づいて、差動増幅器 91 によって増幅されたシリアル伝送データをサンプリングし、18 ($=10+9-1$) ビットのサンプルデータを出力する。

位相アライメント回路 60 は、18 ビットのサンプリングデータに基づいて、シリアル伝送データの位相アライメントに関する情報を表すアライメント変位値を求め、これをクロック信号選択回路 70 にフィードバックする。

20

同時に、位相アライメント回路 60 は、18 ビットのサンプリングデータに基づいて、シリアル伝送データの伝送品位に関する情報を表す伝送品位値を求め、これを制御回路 50 にフィードバックする。制御回路

25 50 は、3 チャンネル分の伝送品位値に基づいて差動増幅器 60～63 の初段のゲインを設定することにより、シリアル伝送データの伝送品位

に応じたゲイン調整を行うことができる。

一方、第2のDLL回路120から出力されるサンプリングクロック信号によってサンプルされた10ビットのデータは、ワードアライメント回路90によってビット位置合わせされた後、パラレルデータとして

5 出力される。

以上、RGBの3つのチャンネルの回路ブロックの内のRチャンネル回路ブロックについて説明したが、残りの2つのチャンネルも同様の回路ブロックで構成されている。これにより、3チャンネルのシリアル伝送データが独立にクロック信号に対して位相遅延を生じたとしても、本

10 実施形態に係る受信装置を用いることで安定にデータを受信することができる。

以上、本発明は実施形態に基づいて説明されたが、本発明はこれらの実施形態に限定されることなく、請求の範囲に記載されている範囲内で自由に変形及び変更が可能である。

15

産業上の利用可能性

本発明に係る半導体集積回路は、シリアル伝送データを受信する受信回路を有する液晶ディスプレイ等の装置において、利用することが可能である。

請 求 の 範 囲

1. 入力クロック信号に同期したN相のクロック信号を発生する第1のクロック信号発生回路と、

- 5 前記第1のクロック信号発生回路によって発生されたN相のクロック信号の内の選択された1つに同期したM相のクロック信号を発生する第2のクロック信号発生回路であって、ここで $N \neq M$ である、前記第2のクロック信号発生回路と、

- 10 N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号の内の1つを選択するために用いる制御値を求める計算回路と、
を具備する半導体集積回路。

2. 前記第2のクロック信号発生回路が、前記計算回路が求めた制御値に基づいて、前記第1のクロック信号発生回路によって発生されたN相
15 のクロック信号の内の1つを基準位相として選択する、請求項1記載の半導体集積回路。

3. 前記第1のクロック信号発生回路が、等間隔のN相のクロック信号を発生し、前記第2のクロック信号発生回路が、等間隔のM相のクロック信号を発生する、請求項1記載の半導体集積回路。

- 20 4. 前記第1のクロック信号発生回路と前記第2のクロック信号発生回路との内の少なくとも一方が、フェーズロックドループ回路とディレイロックドループ回路との内の一方を含む、請求項1記載の半導体集積回路。

5. 前記第1のクロック信号発生回路が、フェーズロックドループ回路
25 を含み、前記第2のクロック信号発生回路が、ディレイロックドループ回路を含む、請求項1記載の半導体集積回路。

6. 前記第1のクロック信号発生回路が、ディレイロックドループ回路を含み、前記第2のクロック信号発生回路が、フェーズロックドループ回路を含む、請求項1記載の半導体集積回路。

7. 入力クロック信号に同期したN相のクロック信号を発生する第1の
5 クロック信号発生回路と、

入力クロック信号に同期したM相のクロック信号を発生する第2のクロック信号発生回路と、

N相のクロック信号及びM相のクロック信号を用いてサンプリングされたシリアル伝送データの論理値に基づいて、N相のクロック信号とM
10 相のクロック信号との位相関係を変化させるために用いる制御値を求める計算回路と、

を具備する半導体集積回路。

8. 前記第2のクロック信号発生回路が、前記計算回路が求めた制御値に基づいて、M相のクロック信号の位相をN相のクロック信号の1クロ
15 ック期間を単位としてずらす、請求項7記載の半導体集積回路。

9. 前記第1及び第2のクロック信号発生回路がそれぞれ発生するN相のクロック信号及びM相のクロック信号が、入力クロック信号の1周期において1個の共通のサンプリング点を含む $(N+M-1)$ 個の異なるサンプリング点を与える、請求項7記載の半導体集積回路。

20 10. 前記計算回路が、 $(N+M-1)$ 個の異なるサンプリング点においてシリアル伝送データをサンプリングすることにより得られたパラレルデータの $(N+M-1)$ ビットの内の所定の2ビットの複数の組合せにそれぞれ対応する値の総和を求めることにより、シリアル伝送データのM相クロック信号に対する位相アライメントの変位を表す制御値を求
25 める、請求項9記載の半導体集積回路。

11. 前記計算回路が、パラレルデータの所定の2ビットとして、N相

のクロック信号が表すN個のサンプリング点の内の第1のサンプリング点と、M相のクロック信号が表すM個のサンプリング点の内の該第1のサンプリング点に隣接する第2のサンプリング点とにおいてサンプリングされた2ビットを用いる、請求項10記載の半導体集積回路。

- 5 12. 前記計算回路が、 $(N+M-1)$ 個の異なるサンプリング点においてシリアル伝送データをサンプリングすることにより得られたパラレルデータの $(N+M-1)$ ビットの内の所定の2ビットの複数の組合せにそれぞれ対応する値の絶対値の総和を求めることにより、シリアル伝送データの品位に関する値を求める、請求項9記載の半導体集積回路。

- 10 13. 可変ゲインを有する増幅器と、

前記計算回路が求めたシリアル伝送データの品位に関する値に基づいて、前記増幅器のゲインを変化させる制御回路と、
をさらに具備する請求項12記載の半導体集積回路。

- 15 14. 前記第1のクロック信号発生回路が、等間隔のN相のクロック信号を発生し、前記第2のクロック信号発生回路が、等間隔のM相のクロック信号を発生する、請求項7記載の半導体集積回路。

- 15 15. 前記第1のクロック信号発生回路と前記第2のクロック信号発生回路との内の少なくとも一方が、フェーズロックドループ回路とディレイロックドループ回路との内の一方を含む、請求項7記載の半導体集積回路。
20

16. 前記第1のクロック信号発生回路が、フェーズロックドループ回路を含み、前記第2のクロック信号発生回路が、ディレイロックドループ回路を含む、請求項7記載の半導体集積回路。

- 25 17. 前記第1のクロック信号発生回路が、ディレイロックドループ回路を含み、前記第2のクロック信号発生回路が、フェーズロックドループ回路を含む、請求項7記載の半導体集積回路。

1/10

FIG.1

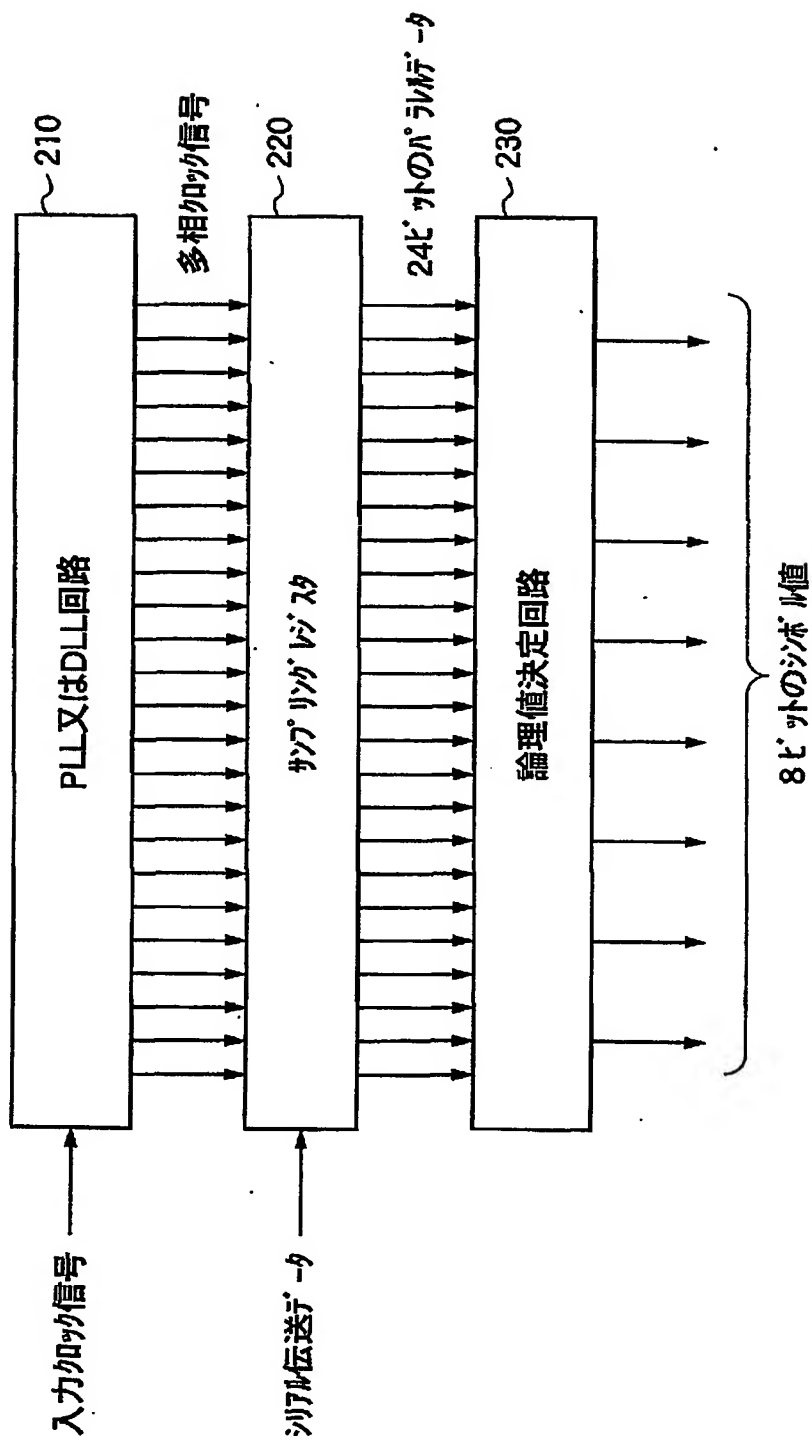
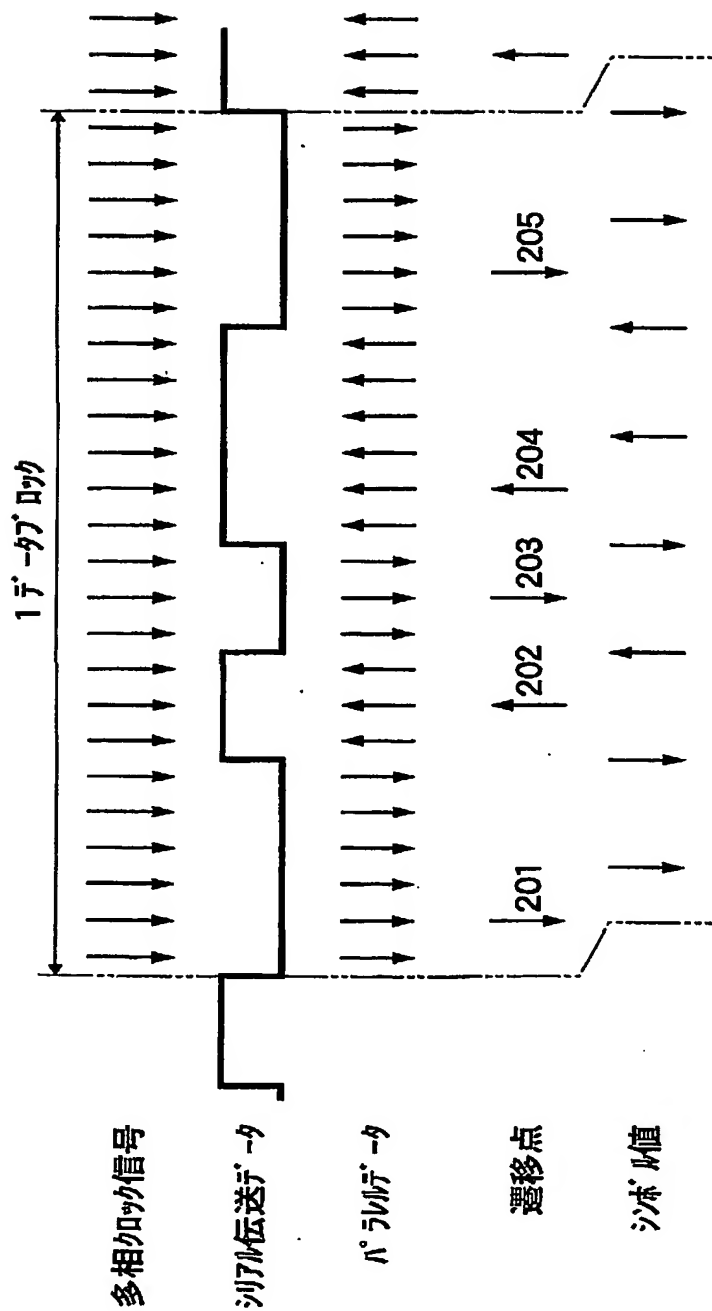


FIG.2



3/10

FIG.3

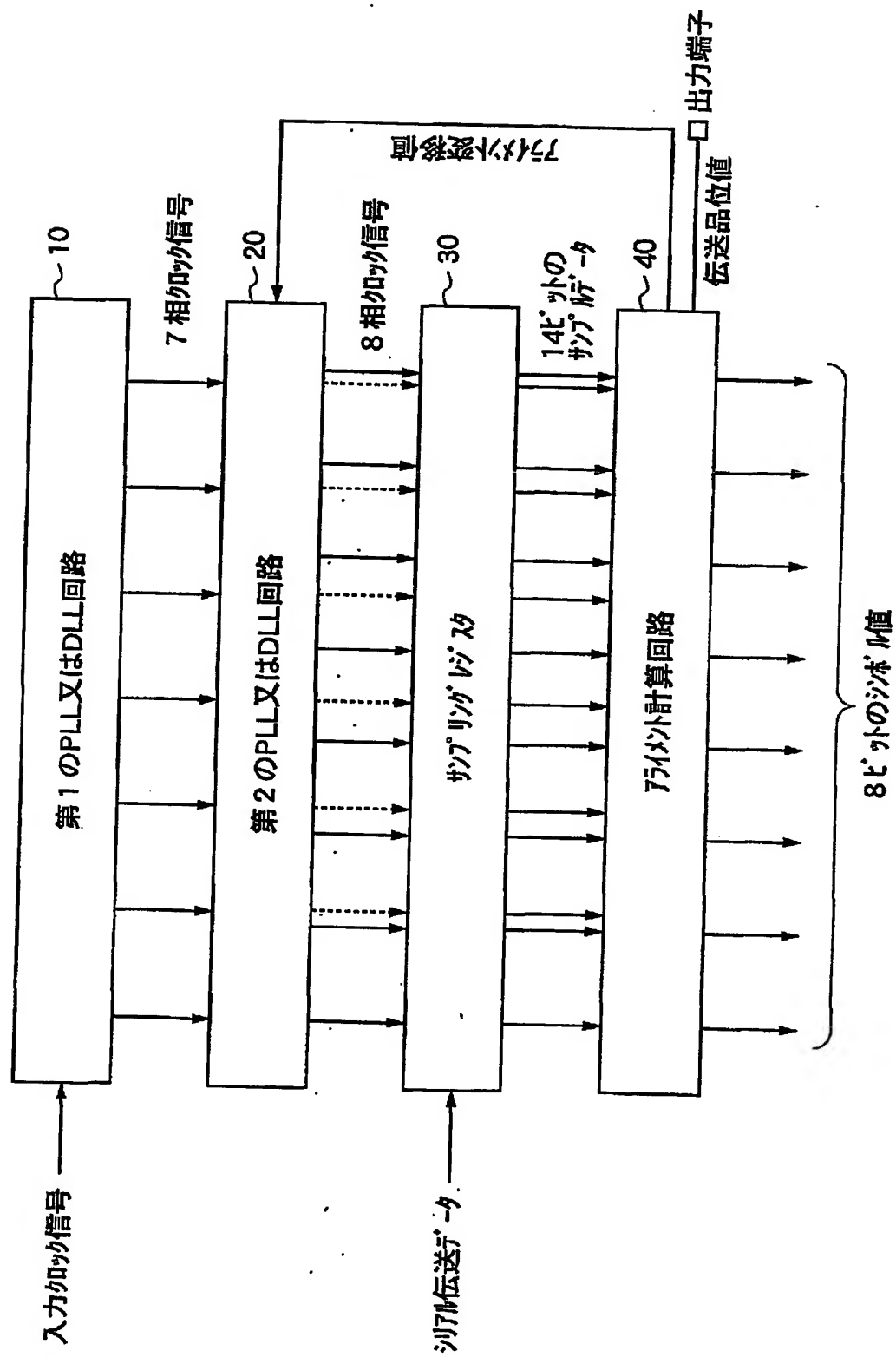


FIG. 4

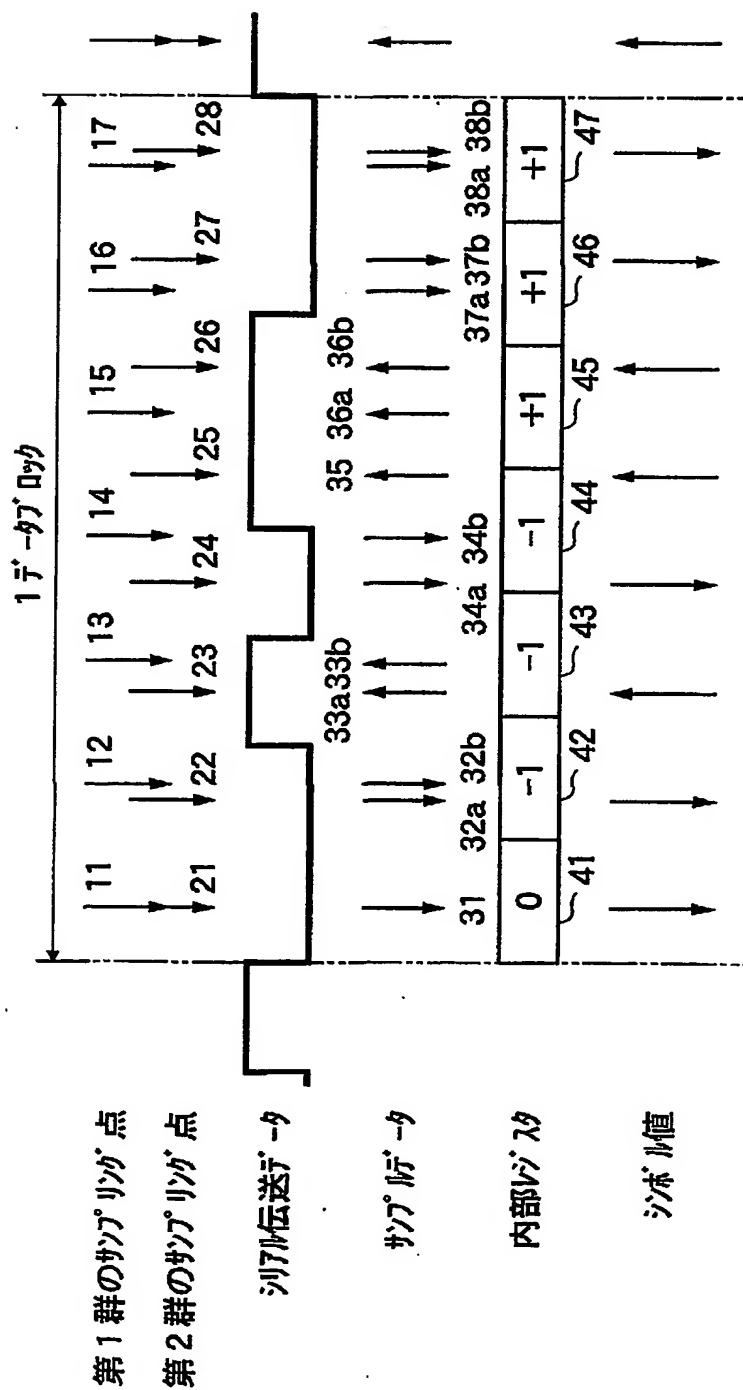
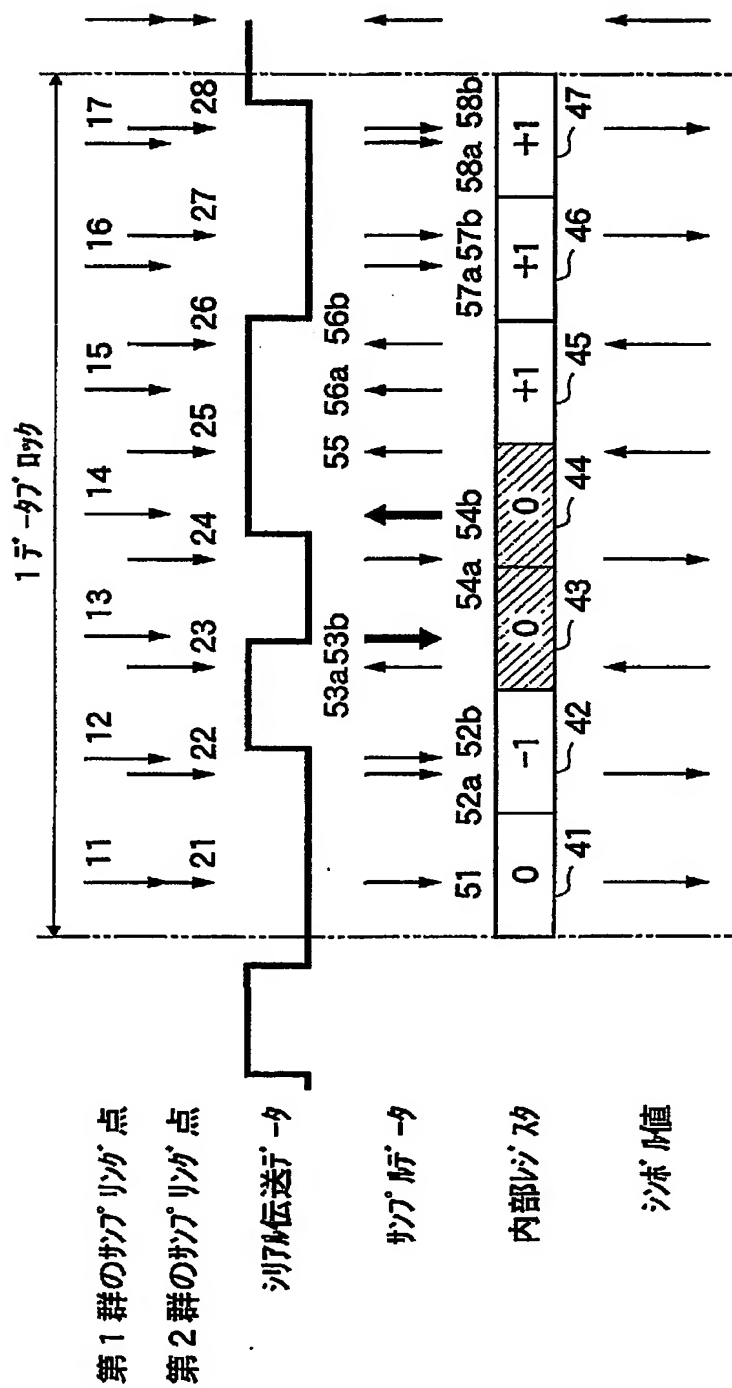
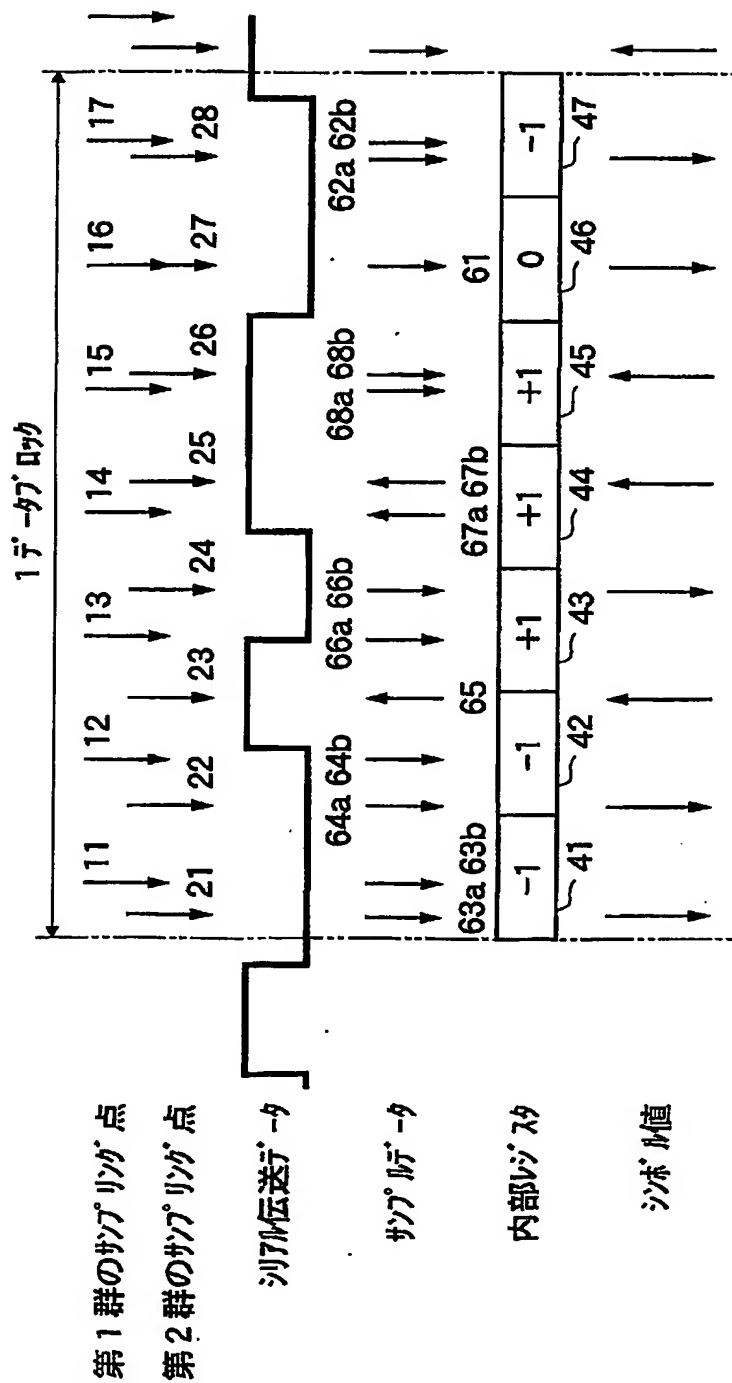


FIG. 5



6/10

FIG. 6



7/10

FIG.7A

N	M	M/N-1	サブリング ポイント数	スキュー (deg)
5	8	0.60	10	27.00
6	8	0.33	12	15.00
7	8	0.14	14	6.43

FIG.7B

X	M	—	サブリング ポイント数	スキュー (deg)
3	8	—	24	15.00
4	8	—	32	11.25

8/10

FIG. 8

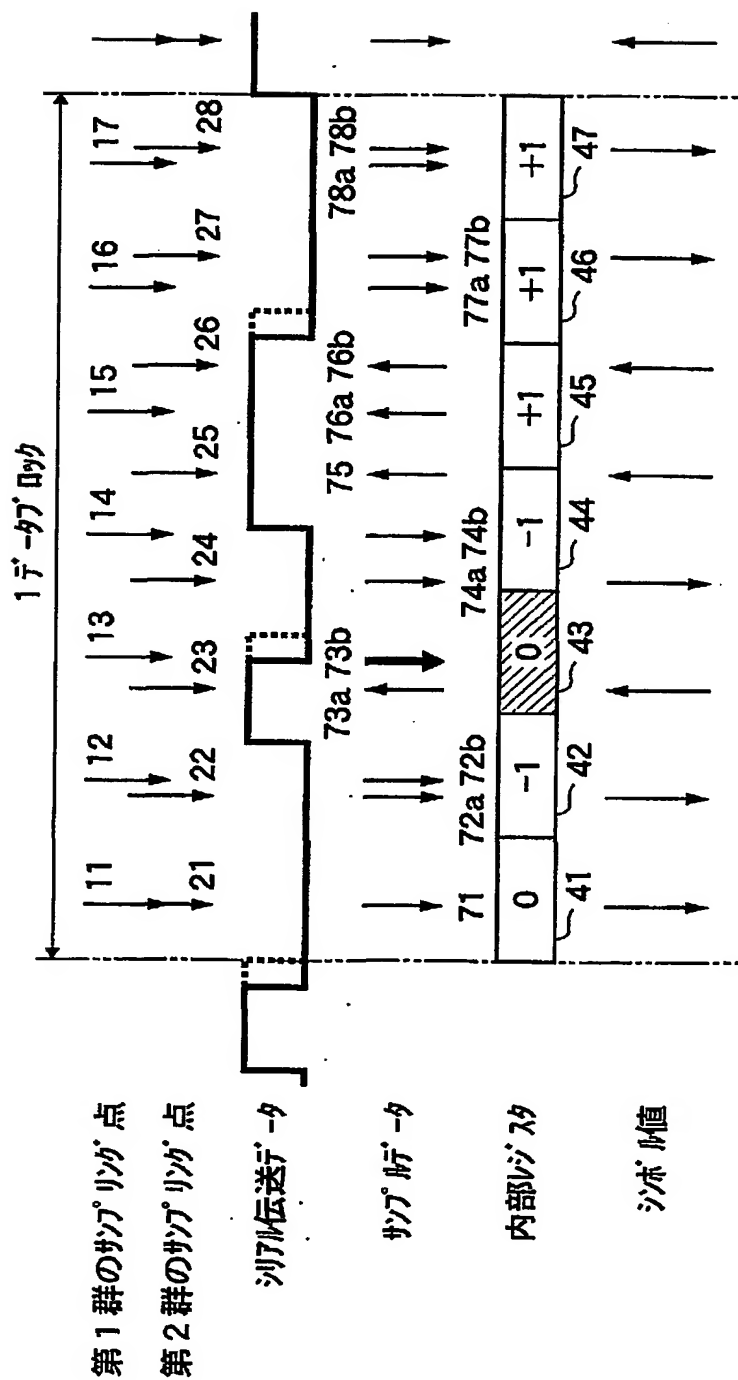
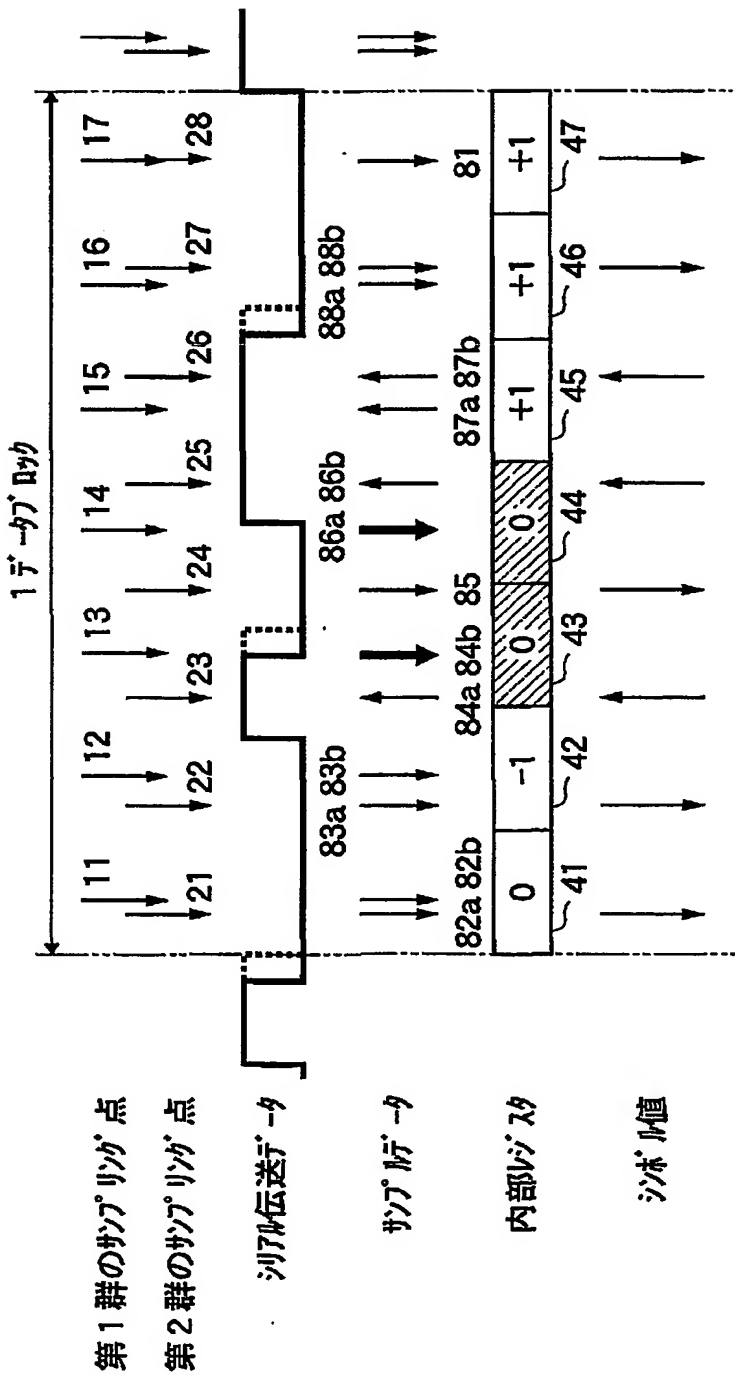
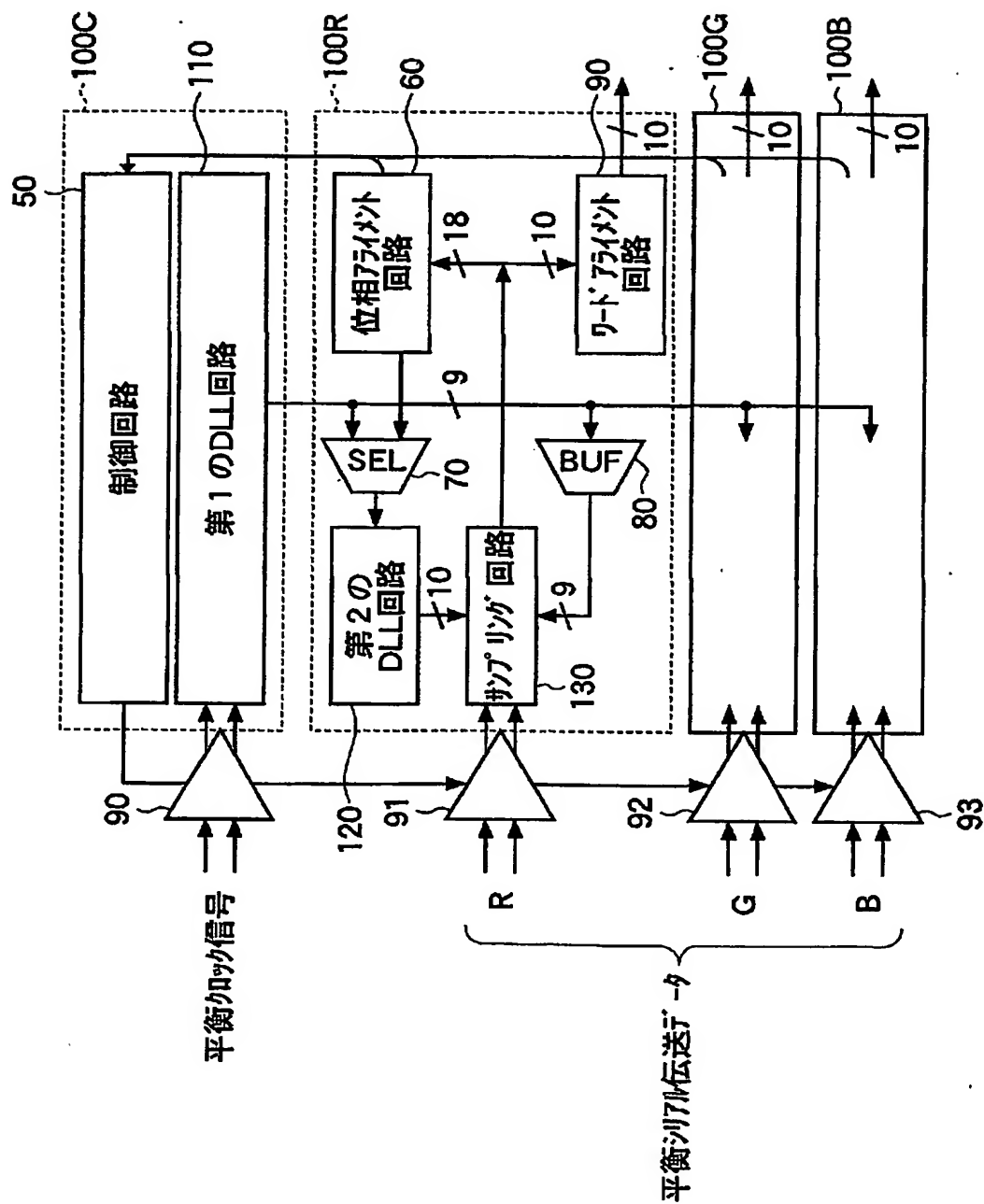


FIG.9



10/10

FIG.10



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/11358

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04L7/04, H04L7/02, H04L25/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04L7/04, H04L7/02, H04L25/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Torokai Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP, 2000-31951, A (Fujitsu Ltd.), 28 January, 2000 (28.01.00), Figs. 1 to 4 and explanations there of & EP 973289 A2	7, 14-17 1-6, 8-13
A	JP, 11-88447, A (Mitsubishi Electric Corp.), 30 March, 1999 (30.03.99), & DE 19841233 A1 & CN 1212524 A	1-17
A	JP, 11-98130, A (Sony Corp.), 09 April, 1999 (09.04.99), Full text & US 6266383 B1	1-17
A	JP, 8-56240, A (Deog-Kyoon Jeong), 27 February, 1996 (27.02.96), Full text & US 5802103 A	1-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
26 March, 2002 (26.03.02)Date of mailing of the international search report
09 April, 2002 (09.04.02)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

BEST AVAILABLE COPY

国際調査報告

国際出願番号 PCT/JP01/11358

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl. H04L7/04 H04L7/02 H04L25/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl. H04L7/04 H04L7/02 H04L25/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2002年
 日本国実用新案登録公報 1996-2002年
 日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2000-31951 A (富士通株式会社) 2000. 0 1. 28, 第1図乃至第4図とその説明	7, 14-17
A	& E P 973289 A2	1-6, 8-13
A	J P 11-88447 A (三菱電機株式会社) 1999. 0 3. 30, 全文を参照 & D E 19841233 A1 & C N 1212524 A	1-17

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

26. 03. 02

国際調査報告の発送日

09.04.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

阿部 弘

5K

9382

電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-98130 A (ソニー株式会社) 1999. 04. 09, 全文を参照 &US 6266383 B1	1-17
A	JP 8-56240 A (デオグ キョーン イエオング) 19 96. 02. 27, 全文を参照 &US 5802103 A	1-17